

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31168

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/401				
G 0 6 T 1/60				
			G 1 1 C 11/ 34	3 7 1 H
			G 0 6 F 15/ 64	4 5 0 E
審査請求 未請求 請求項の数10 O L (全 14 頁)				

(21)出願番号 特願平6-160904

(22)出願日 平成6年(1994)7月13日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 渡部 隆夫

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 藤田 利幸

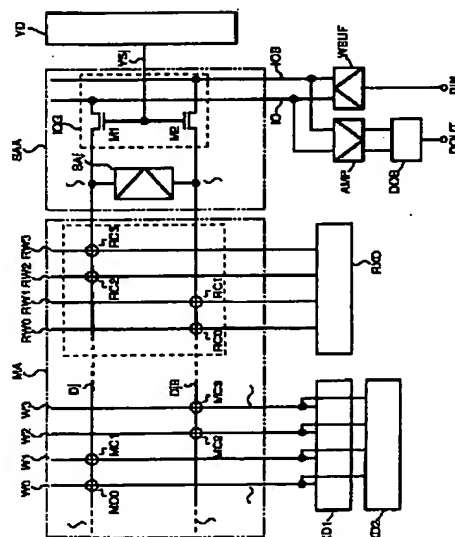
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 プロセッサの介在なしに、メモリ内部で演算処理やデータの移動処理を高速かつ低電力に行うことを可能にする機能つきメモリを提供する。

【構成】 複数のワード線W0～W3と、複数のデータ線対Dj、DjBと、これらの交点に配された複数のメモリセルMC0～MC3からなる2次元メモリアレーと、各データ線対に接続されたセンスアンプSAjと、一つのセンスアンプSAjの一方の入力に対して複数のメモリセルMC0、MC1を同時に接続する2つのXデコーダXD1、XD2と、他方の入力に対して参照メモリセルRC0、RC1を接続し、かつ、演算モードに対応して参照メモリセルに演算制御情報を設定する参照ワード線の駆動回路RXDとから構成される。複数のメモリセルから読み出された信号電荷の和を参照メモリセルからの電荷とセンスアンプで比較すると同時に、複数のメモリセルの情報の論理演算を行うことができる。

図1



1

## 【特許請求の範囲】

【請求項1】複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の信号増幅手段と、上記複数のデータ線対の各データ線対に接続された複数の参照信号発生手段とを有する半導体記憶装置において、上記複数のワード線の所望のワード線を選択するワード線選択手段をさらに具備し、上記ワード線選択手段が上記複数のデータ線対の1つのデータ線対の一方のデータ線に少なくとも2つのメモリセルからの情報を同時に読み出した後、上記信号増幅手段により上記1つのデータ線対の上記一方のデータ線に現れた信号を増幅することを特徴とする半導体記憶装置。

【請求項2】前記参照信号発生手段は、複数の参照ワード線と複数の前記データ線対の各交点に配置された参照メモリセルからなる参照メモリセルアレーと、前記参照ワード線の駆動回路とから構成される請求項1に記載の半導体記憶装置。

【請求項3】前記ワード線選択手段は、少なくとも2つのワード線を同時に独立して選択する手段である請求項1または請求項2に記載の半導体記憶装置。

【請求項4】複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の参照信号発生手段と、各々2つの入力に有する複数の信号増幅手段とを有する半導体記憶装置において、上記複数のデータ線対のうち少なくとも2つを並列に1つの信号増幅手段の2つの入力に接続する手段と、上記複数のデータ線対の各々に対して少なくとも1つずつのメモリセルからの情報を同時に読み出すようにしたワード線選択手段とをさらに具備し、上記ワード線選択手段が上記複数の信号増幅手段の入力の一方に少なくとも2つのメモリセルからの情報を同時に読み出した後、上記信号増幅手段により信号を増幅することを特徴とする半導体記憶装置。

【請求項5】前記複数のデータ線対のうち少なくとも2つを並列に1つの信号増幅手段の2つの入力に接続する手段は、一次元に配列された信号増幅手段の両側に配された第1および第2のメモリセルアレーと信号増幅手段との間に2列に設けられ、第1のメモリセルアレーのデータ線対の1つと第2のメモリセルアレーのデータ線対の1つを1つの信号増幅手段に同時に接続するスイッチ手段である請求項4に記載の半導体記憶装置。

【請求項6】複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された

2

複数の信号増幅手段とから構成された複数のメモリブロックと、該メモリブロックへのデータの入出力を行なう入出力線と、上記複数のワード線の所望のワード線を選択するワード線選択手段と、上記複数の信号増幅手段のうちから上記入出力線に接続する信号増幅手段を選択する列アドレス選択線と列アドレス選択手段とを有し、メモリ外部からのデータ群のコピーのための条件を設定するコピー条件設定手段と、前記データ群のコピー元およびコピー先のアドレスを発生するコピーアドレス発生手段とをさらに具備することを特徴とする半導体記憶装置。

【請求項7】前記コピー条件設定手段は、データ群のコピー元およびコピー先の先頭アドレスを設定する先頭アドレス設定手段と、コピーするデータ群のデータ量を設定するデータ量設定手段とを少なくとも有する請求項6に記載の半導体記憶装置。

【請求項8】前記メモリブロックへのデータの入出力を行う入出力線と、列アドレス選択線と、列アドレス選択手段とを各々二重化して成る請求項6に記載の半導体記憶装置。

【請求項9】複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の信号増幅手段とから構成された複数のメモリブロックと、該メモリブロックへのデータの入出力を同時並列に行なう二重化した入出力線と、上記複数のワード線の所望のワード線を選択するワード線選択手段と、上記複数の信号増幅手段のうちから上記二重化した入出力線に接続する信号増幅手段を選択する二重化した列アドレス選択線と二重化した列アドレス選択手段、とを具備することを特徴とする半導体記憶装置。

【請求項10】前記メモリアレーはダイナミックメモリで構成される請求項1乃至請求項9のいずれかに記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に係り、特にメモリ内部で並列に論理演算を行う機能や、メモリブロック間で高速にデータのコピーを行う機能を内蔵する半導体記憶装置に関する。

【0002】

【従来の技術】パーソナルコンピュータやワークステーション等のグラフィックス処理を高速に行うためには、表示メモリ中のあるブロック領域をビット単位でデータ転送するビットブリット転送(BitBlit: bit block transfer)機能が重要である。この機能は、移動元の座標と幅、高さ、および移動先の座標を指定するだけで、画面上の矩形領域をコピーする機能である。その際、移動とともに、移動先とのAND、ORなどの論理演算処理が

必要になる。こうした演算処理をCPUが行うと、グラフィックスVRAM (VRAM=Video Random Access Memory) のデータの読み書きが膨大になって、システムの性能低下を生ずるため、VRAMへの読み書きを行うグラフィックス・プロセッサを別に設けてCPUの負担を軽減するような構成が一般的になっている。例えば、この種の構成は、バイト、1993年11月号、第229頁～第236頁(BYTE, November 1993, pp.229-236)に記載されている。

【0003】また、VRAMに論理演算機能を設けて、グラフィックス・プロセッサとVRAM間での読み書きの回数を減らすような例が知られている。こうしたVRAMとしては、例えば、1992年9月発行の日立ICメモリ・データブック(1)－SRAM, PSRAM, 専用メモリ, ECL RAM, の第501頁～第521頁、製品型名HM53462が挙げられる。この従来例では、VRAMに既に蓄積されている情報と外部からの入力データとの論理演算を行ってVRAMに書き戻すために、入力ピンとメモリアレーの間に入力ピンと同数の論理演算回路を設けている。論理演算の際には、メモリアレーからデータを読み出し、入力データとの論理演算を行った後、メモリアレーに書き戻す、いわゆるリード・モディファイ・ライト(Read Modified Write)動作を行う。これにより、メモリから外部にデータを読みだしてグラフィックス・プロセッサで演算を行う必要がなくなり、VRAMとグラフィックス・プロセッサ間のデータ転送回数を減少させることが可能となる。なお、メモリアレー上で、メモリセル間のコピーを行う技術は特開昭61-94290号公報に開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、前述した従来技術によれば、前者のVRAMへの読み書きを行うグラフィックス・プロセッサを別に設ける場合には、演算を行う度にメモリの中にある情報を逐一外部に読み出して来る必要があるため、演算速度がメモリのアクセス時間によって制限されるという問題点があった。

【0005】また、後者のVRAMに論理演算機能を設ける従来例では、メモリチップ内でのコピー機能を有していないため、ビットブリット転送処理に対するグラフィックス・プロセッサの負担軽減の効果が少ないという問題点があった。

【0006】そこで、本発明の目的は、グラフィックス・プロセッサの介在なしに、メモリ内部での演算処理やデータのコピー処理を高速かつ低電力に行うことができる演算機能やデータコピー機能を有する半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明に係る半導体記憶装置は、複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複

数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の信号増幅手段と、上記複数のデータ線対の各データ線対に接続された複数の参照信号発生手段とを有する半導体記憶装置において、上記複数のワード線の所望のワード線を選択するワード線選択手段をさらに具備し、上記ワード線選択手段が上記複数のデータ線対の1つのデータ線対の一方のデータ線に少なくとも2つのメモリセルからの情報を同時に読み出した後、上記信号増幅手段により上記1つのデータ線対の上記一方のデータ線に現れた信号を増幅することを特徴とする。

【0008】上記半導体記憶装置において、参照信号発生手段は、複数の参照ワード線と複数の前記データ線対の各交点に配置された参照メモリセルからなる参照メモリアレーと、前記参照ワード線の駆動回路とから構成すれば好適である。

【0009】また、上記半導体記憶装置において、ワード線選択手段は、少なくとも2つのワード線を同時に独立して選択する手段である。

【0010】また、本発明に係る半導体記憶装置は、複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の参照信号発生手段と、各々2つの入力線を有する複数の信号増幅手段とを有する半導体記憶装置において、上記複数のデータ線対のうち少なくとも2つを並列に1つの信号増幅手段の2つの入力に接続する手段と、上記複数のデータ線対の各々に対して少なくとも1つずつのメモリセルからの情報を同時に読み出すようにしたワード線選択手段とをさらに具備し、上記ワード線選択手段が上記複数の信号増幅手段の入力の一方に少なくとも2つのメモリセルからの情報を同時に読み出した後、上記信号増幅手段により信号を増幅することを特徴とする。

【0011】上記半導体記憶装置において、複数のデータ線対のうち少なくとも2つを並列に1つの信号増幅手段の2つの入力に接続する手段は、一次元に配列された信号増幅手段の両側に配された第1および第2のメモリアレーと信号増幅手段との間に2列に設けられ、第1のメモリアレーのデータ線対の1つと第2のメモリアレーのデータ線対の1つを1つの信号増幅手段と同時に接続するスイッチ手段とすれば好適である。

【0012】さらに本発明に係る半導体記憶装置は、複数のワード線と、複数のデータ線対と、上記複数のワード線と上記複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の信号増幅手段とから構成された複数のメモリブロックと、該メモリブロックへのデータの入出力を行なう入出力線と、上

10

20

30

40

50

記複数のワード線の所望のワード線を選択するワード線選択手段と、上記複数の信号増幅手段のうちから上記入出力線に接続する信号増幅手段を選択する列アドレス選択線と列アドレス選択手段とを有し、メモリ外部からのデータ群のコピーのための条件を設定するコピー条件設定手段と、前記データ群のコピー元およびコピー先のアドレスを発生するコピーアドレス発生手段とをさらに具備することを特徴とする。

【0013】このように構成した半導体記憶装置において、前記コピー条件設定手段は、データ群のコピー元およびコピー先の先頭アドレスを設定する先頭アドレス設定手段と、コピーするデータ群のデータ量を設定するデータ量設定手段とを少なくとも有する。

【0014】また、上記半導体記憶装置において、前記メモリブロックへのデータの入出力を行う入出力線と、列アドレス選択線と、列アドレス選択手段とを各々二重化して構成すれば好適である。

【0015】さらに、本発明に係る半導体記憶装置は、複数のワード線と、複数のデータ線対の所望の交点に配置された複数のメモリセルを有するメモリアレーと、上記複数のデータ線対の各データ線対に接続された複数の信号増幅手段とから構成された複数のメモリブロックと、該メモリブロックへのデータの入出力を同時並列に行なう二重化した入出力線と、上記複数のワード線の所望のワード線を選択するワード線選択手段と、上記複数の信号増幅手段のうちから上記二重化した入出力線に接続する信号増幅手段を選択する二重化した列アドレス選択線と二重化した列アドレス選択手段、とを具備することを特徴とする。

【0016】また、上記いずれの半導体記憶装置においても、メモリアレーはダイナミックメモリで構成することができる。

【0017】

【作用】本発明に係る半導体記憶装置によれば、複数のワード線の所望のワード線を選択するワード線選択手段が複数のデータ線対の1つのデータ線対の一方のデータ線に少なくとも2つのメモリセルからの情報を同時に読み出した後、信号増幅手段により上記1つのデータ線対の上記一方のデータ線に現れた信号を増幅することによって、上記少なくとも2つのメモリセルの演算結果を得ることができる。

【0018】上記半導体記憶装置において、複数のデータ線対の各データ線対に接続された複数の参照信号発生手段は、複数の参照ワード線と複数の前記データ線対の各交点に配置された参照メモリセルからなる参照メモリアレーと、前記参照ワード線の駆動回路とからなり、演算モードに応じた演算用の参照信号を発生する。データ線対の一方の少なくとも2つのメモリセルを、例えば、各ワード線に少なくとも2つの並列接続されたワ

ード線選択手段である行デコーダにより同時に駆動して接続し、データ線対の一方に現れたメモリセルの電荷量の和と、データ線対の他方に現れた前記参照信号とを信号増幅手段、すなわちセンスアンプへ入力することにより、演算モードに対応した演算結果を得ることができる。

【0019】また、スイッチ手段により、信号増幅手段を共有する第1および第2のメモリアレーすなわち左右のメモリアレー同志のデータ線対との間を接続する場合は、左のメモリアレーのメモリセルは左の行デコーダにより左の一方のデータ線に、右のメモリアレーのメモリセルは右の行デコーダにより右の一方のデータ線にそれぞれ接続され、かつ、左の参照ワード線の駆動回路により参照メモリが左の他方のデータ線に、右の参照ワード線の駆動回路により参照メモリが右の他方のデータ線にそれぞれ接続されているので、これらのデータ線対間を左右のスイッチ手段により接続することにより、データ線対の一方に現れたメモリセルの電荷の和と、他方に現れた参照メモリセルの電荷の和が、共有する信号増幅手段すなわち共通接続されたセンスアンプへ入力されて演算モードに対応した演算結果を得ることができる。従って、センスアンプを挟む2つのメモリアレー間で演算を行うことができる。

【0020】このように、ワード線につながるメモリセル群と他のワード線につながるメモリセル群との間での演算は、参照ワード線につながる参照メモリセル群と他の参照ワード線につながる参照メモリセル群との間で得られる参照信号が接続されたそれぞれのデータ線対間のセンスアンプでの比較だけなので、並列に行うことが可能となる。従って、メモリアレーから情報を読み出すことなく論理演算を行うことができるようになる。

【0021】また、複数のメモリブロックを備えるメモリにおいて、データ群のコピー元およびコピー先の先頭アドレスを設定する設定手段とコピーするデータ群のデータ量を設定するデータ量設定手段とから成るコピー条件設定手段と、データ群のコピー元およびコピー先のアドレスを発生する発生手段と、前記複数のメモリブロック間でデータ群の制御を行うコピー制御手段とを備えることにより、グラフィックス・プロセッサから命令とコピーのための情報をメモリに送るだけで、メモリ内でコピーのための条件設定及びコピー元およびコピー先のアドレスを発生しメモリブロック間でのデータ群の制御を行うので、グラフィックス・プロセッサとメモリ間での読み書きをせずにコピー処理を行うことができる結果、高速かつ低電力にデータのコピーを行うことができる。

【0022】さらに、複数のメモリブロックを備えるメモリにおいて、メモリアレーへの入出力線を読み出し用と書き込み用に二重化すると共に列アドレス選択信号と列選択回路も読み出し用と書き込み用に二重化し、さらに書き込み用入出力線を読み出し用コモンデータ線対

または書き込み用コモンデータ線対に切り替え接続するよう構成することにより、通常のメモリ動作の他に、メモリ内のメモリブロック間のデータコピーを外部に読みだすこと無く行うことができる。

【0023】

【実施例】

<実施例1>以下、図1乃至図4を用いて、本発明に係る半導体記憶装置について詳細に説明する。図1は、本発明に係る半導体記憶装置の一実施例を示す演算機能つきメモリの構成図である。図1において、参照符号MAはメモリセルアレー、SAAはセンスアンプアレー、XD1およびXD2はXデコーダ、YDはYデコーダ、AMPは読み出し用のアンプ、DOBは出力バッファ、WBUFは書き込みバッファを示す。

【0024】メモリセルアレーMAは、複数のワード線（ここでは一部のみ示す）W0〜W3と複数のデータ線対（ここでは一部のみ示す）Dj、DjBとの交点に配されたメモリセル（ここでは一部のみ示す）MC0〜MC3と、複数の演算用参照ワード線（ここでは一部のみ示す）RW0〜RW3と複数のデータ線対Dj、DjBとの交点に配された演算用参照メモリセル（ここでは一部のみ示す）RC0〜RC3とから構成される。また、複数の演算用参照ワード線RW0〜RW3には、参照ワード線駆動回路RXDが接続される。なお、参照符号DjB、IOBの英文字“B”は、それぞれ対になるDj、IOの否定の関係（又は相補の関係）を表わす。

【0025】センスアンプアレーSAAは、データ線対Dj、DjBのブリチャージや読み出された信号を増幅するための複数のセンスアンプSAjと、データ線対Dj、DjBを入出力線対IO、IOBに接続するための複数の入出力ゲートIOGとから構成される。ここで、入出力ゲートIOGはMOSトランジスタM1、M2から構成され、それぞれのMOSトランジスタM1、M2のゲートはYアドレス選択信号YSjに接続される。

【0026】なお、このように構成される本発明に係る半導体記憶装置において、メモリセルMC0〜MC3としては一般的なダイナミックメモリに用いられている1T-1C型のセル、すなわち1つのMOSトランジスタと1つの蓄積容量を用いるが、電荷を蓄積することによって記憶する構成であれば、これに限るものではない。また、センスアンプSAjは、データ線対Dj、DjB間の微小電圧差を増幅する信号増幅手段であれば、公知の差動構成の増幅回路を利用できるし、勿論、一般的なダイナミックメモリに用いられている回路構成と同じであっても良い。従って、演算用参照メモリセルとその参照ワード線駆動回路RXDとを除く他の回路は、一般的なダイナミックメモリに用いられている回路で構成できる。

【0027】図1に示す構成では、データ線Djに接続する2つのメモリセル（例えば、MC0とMC1）、ま

たは対となるデータ線DjBに接続する2つのメモリセル（例えば、MC2とMC3）の記憶情報の演算結果を、それぞれ複数のデータ線対DjまたはDjBに接続されたメモリセルに対して同時に得ることができる。2つのメモリセルの演算結果を得るために、2つのワード線、例えば、W0とW1を選択する。さらに、例えばデータ線Djに接続する2つのメモリセルMC0、MC1の記憶情報の演算を行う場合には、対となるデータ線DjBに接続する2つの演算用参照メモリセルRC0、RC1を演算用参照ワード線RW0、RW1により選択する。同様に、ワード線W2、W3を選択して、データ線DjBに接続する2つのメモリセルMC2、MC3の記憶情報の演算を行う場合には、対となるデータ線Djに接続する2つの演算用参照メモリセルRC2、RC3を演算用参照ワード線RW2、RW3により選択する。

【0028】図2に、演算用参照メモリセルとその参照ワード線の駆動回路RXDの具体的な構成例を示す。ここでは、演算用参照メモリセルRC0とRC1の構成のみを示したが、演算用参照メモリセルRC2とRC3もこれらと同様の構成である。図2において、参照符号M10〜M13はNチャネルMOSFET（以下、NMOSTランジスタと称する）、C10とC11は蓄積容量、PLは共通プレート電極、INV1〜INV3はインバータを示す。ここで、共通プレート電極PLは、高電位側電源電圧VCC（不図示）の半分の電位、すなわちVCC/2の電位に固定されている。演算用参照メモリセルRC0はメモリセルMC0と同様の構成であり、蓄積容量C10の値もメモリセルMC0の蓄積容量の値と実質的に同一である。

【0029】演算用参照メモリセルRC1は、通常のメモリセルMC1にNMOSTランジスタM12を追加し、演算用参照メモリセルRC1の蓄積ノードの電位を外部から設定できるようにしている。すなわち、演算モード設定信号SETを印加したときにNMOSTランジスタM12が導通し、電圧VMAが蓄積容量C11に書き込まれる。外部から与えられるモード設定電圧信号VMは、モード設定のタイミング信号であるモード設定信号MSを印加することによりインバータINV2の入力に書き込まれる。この電圧は、インバータINV2とINV3で構成されるラッチによって、電源が入っている間は保持される。インバータINV1の入力はインバータINV2の出力に接続され、インバータINV1の出力に電圧VMAが出力される。

【0030】従って、外部から与えられたモード設定電圧信号VMに応じて、電圧VMAの値は電源電圧のいずれか、すなわち高電位側電源電圧VCC又は低電位側電源電圧VSS（不図示）となる。演算用参照ワード線RW1は、メモリセルのワード線W1と同じタイミングで駆動することによって、データ線対DjとDjBの電圧差に対応した演算結果がセンスアンプSAjで得られ

る。一方、演算用参照ワード線RW0には常に高い電圧を印加して、NMOSTランジスタM10が導通したままとなるようにしておく。なお、演算用参照メモリセルRC0を、演算用参照メモリセルRC1と同様にNMOSTランジスタM12を接続した構成とすることも可能であるが、その場合には演算用参照メモリセルRC0に接続されるNMOSTランジスタM12を常に非導通となるようにしておけば良い。

【0031】本実施例の演算機能つきメモリにおいては、信号の演算を行う場合、2つのメモリセルと対をなす2つの演算用参照メモリセルを同時に選択する。例えば、メモリセルMC0とMC1に記憶されている情報の演算を行う場合には、演算用参照メモリセルRC0とRC1を同時に選択する。この時のデータ線対Dj、DjBの各電圧VDj、VDjBの変化を図3に示す。この場合、データ線DjにはメモリセルMC0とMC1の電荷の和が出現するので、蓄積されている情報の組合せに応じて、3通りの電圧が出現する。すなわち、メモリセルMC0とMC1に蓄積されている電圧が、①ともに高い電圧"1"の場合→Dj(1, 1)、②一方が高い電圧"1"で他方が低い電圧"0"の場合→Dj(0, 1)またはDj(1, 0)、③ともに低い電圧"0"の場合→Dj(0, 0)、の3通りである。

【0032】一方、参照データ線DjBには、演算用参照メモリセルRC1に蓄積されている情報に応じて2通りの電圧が出現する。何故ならば、前述したように演算用参照ワード線RW0には常に高い電圧が印加されているため、演算用参照メモリセルRC0に蓄積されている電圧は共通プレート電位PLによる一定の電圧VCC/2に、すなわち、演算用参照メモリセルRC0に蓄積されている電荷は"1"と"0"の中間"1/2"に保持されているからである。従って、演算用参照メモリセルRC1に蓄積されている電圧が、①'高い電圧"1"の場合→DjB(1, 1/2)、②'低い電圧"0"の場合→DjB(0, 1/2)、の2通りである。演算用参照メモリセルRC0に蓄積されている電荷は"1"と"0"の中間であるから、DjB(1, 1/2)の電圧はDj(1, 1)とDj(0, 1)あるいはDj(1, 0)との中間になる。また、DjB(0, 1/2)の電圧は、Dj(0, 0)とDj(0, 1)あるいはDj(1, 0)との中間になる。

【0033】従って、参照情報としてVDjB=DjB(1, 1/2)を用いてセンスアンプを動作させると、メモリセルMC0とMC1の蓄積されている情報の組合せが、Dj(1, 1)の組合せの場合のみデータ線Djが高い電圧に増幅され、それ以外の組合せでは低い電圧になる。すなわち、2つのメモリセルMC0とMC1の蓄積情報の論理積ANDを求めることができる。また、参照情報としてVDjB=DjB(0, 1/2)を用いてセンスアンプを動作させると、Dj(0, 0)の組合

せの場合のみデータ線Djが低い電圧に増幅され、それ以外の組合せでは高い電圧になる。すなわち、2つのメモリセルMC0とMC1の蓄積情報の論理和ORを求めることができる。

【0034】このように、データ線対に接続されたセンスアンプの参照電圧を設定するだけで、メモリセルの蓄積情報のANDやORの演算機能を容易に実行することができる。上記したことから理解されるように、新たに設けた演算用参照ワード線の駆動回路RXDは、演算用参照ワード線の1つだけを常に高レベルに保ち、論理積ANDの演算を行う場合はそれ以外の演算用参照ワード線をすべて高レベルにし、論理和ORの演算を行う場合はそれ以外の演算用参照ワード線をすべて低レベルにするような動作を行う駆動回路である。

【0035】図4は、図1に示した演算機能つきメモリの動作タイミングの一例を示すタイミング図である。なお、この例ではデータ線対Dj、DjBの振幅が2V、ワード線W0、W1及び演算用参照ワード線RW0、RW1の振幅が3.5Vの場合について示しているが、これらの値に限るものではない。

【0036】さて、この例では、演算に先だって、演算モードの設定とメモリセルへの書き込みを行っている。まず、時刻t0からt1にかけて、演算モード設定信号SETを高レベルにし、演算用参照メモリセルRC1に"1"または"0"を書き込む。今、OR演算であると仮定し、"0"が書き込まれたとする。時刻t2からt6にかけてワード線W0を高レベルにし、メモリセルMC0に演算用データを書き込む。これは通常のDRAMと同様に、一旦読み出し動作を行った後、Yアドレス選択信号YSjを高レベルにして、入出力線対IOとIOBから入出力ゲートIOGを通して外部からの情報をMC0に書き込んでいる。同様に、時刻t7からt11にかけてワード線W1を高レベルにし、メモリセルMC1にもう一方の演算用データを書き込む。なお、演算用参照ワード線RW0は常に高レベルのままに保持しておく。時刻t12からt15にかけて、ワード線W0、W1、演算用参照ワード線RW1を同時に高レベルにし、メモリセルMC0、MC1からデータ線Djへ、また演算用参照メモリセルRC0、RC1から対となるデータ線DjBへ、それぞれ蓄積電荷を流出させる。すなわち、対となるデータ線DjBには参照情報としてVDjB=DjB(0, 1/2)の電圧が出現し、センスアンプSAjの参照電圧が設定される。その後、通常のDRAMと同様にセンスアンプSAjで増幅することにより、演算結果、この場合はMC0とMC1の情報のOR演算の結果をデータ線対Dj、DjBの差の電圧として得ることができる。

【0037】以上、本実施例に示したように、本発明に係る演算機能つきメモリによれば、新たに演算回路を設けることなく、メモリセルMCn(n=0, 1, ……)



・と同種の演算用参照メモリセルRCn (n = 0, 1, ... ) 及びその参照ワード線の駆動回路RXDから構成される参照信号発生手段と、ワード線に並列接続した2つのXデコーダXD1、XD2とを付加するのみでワード線単位で並列に論理演算を行うことができる。これにより、電力増大を最小限に抑えながら、演算速度を著しく増大させることができる。

【0038】<実施例2>図5を用いて、本発明に係る半導体記憶装置の第2の実施例を示す演算機能つきメモリについて説明する。前記実施例1では、2つのメモリの情報の演算を行う場合について説明したが、本発明に係る演算機能つきメモリは、3つ以上のメモリの情報の演算も同様に行うことができる。本実施例では、一例として3つのメモリの情報の演算を行う場合について説明する。なお、構成としては、図1に示した構成と同様であるが、メモリセルを同時に3つ独立して選択するために、3つのXデコーダがワード線に並列に接続される点が相違するだけであるので、構成図は省略する。

【0039】図5は、3つのメモリの情報の演算を行う場合のデータ線対DjおよびDjBの電圧変化を示す図である。データ線Djには、3つのメモリセルに蓄積されている情報にしたがって4通りの電圧が発生する。すなわち、①3つのメモリセルの全部が高い電圧"1"の場合、②3つのメモリセルのうち1つが低い電圧"0"の場合、③3つのメモリセルのうち2つが低い電圧"0"の場合、④3つのメモリセルの全部が低い電圧"0"の場合、である。

【0040】一方、3つの演算用参照メモリセルの内の1つは、先の実施例1の演算用参照メモリセルRC0と同様にして、参照ワード線を高レベルに保ったままにしておき、"1"と"0"の中間の電荷"1/2"を得るようにしている。このため、参照データ線DjBには、残りの2つの演算用参照メモリセルに蓄積されている情報に応じて3通りの電圧が出現し得る。すなわち、①'残りの2つとも高い電圧"1"の場合、②'どちらか1つが低い電圧"0"の場合、③'残りの2つとも低い電圧"0"の場合、である。

【0041】従って、図5から分かるように、参照情報として参照データ線の電圧VDjB=DjB(1, 1, 1/2)を用いてセンスアンプを動作させると、3つのメモリの蓄積されている情報の組合せが、Dj(1, 1, 1)の組合せの場合のみデータ線Djが高い電圧に増幅され、それ以外の組合せでは低い電圧となる。すなわち、3つのメモリの蓄積情報の論理積ANDを求めることができる。また、参照情報としてVDjB=DjB(0, 0, 1/2)を用いてセンスアンプを動作させると、Dj(0, 0, 0)の組合せの場合のみデータ線Djが低い電圧に増幅され、それ以外の組合せでは高い電圧になる。すなわち、3つのメモリの

蓄積情報の論理和ORを求めることができる。

【0042】このように、3つのメモリの蓄積情報の論理積ANDをとる場合には、3つの演算用参照メモリの残りの2つに"1"を蓄積しておけば良く、論理和ORをとる場合には3つの演算用参照メモリの残りの2つに"0"を蓄積しておけば良い。

【0043】本実施例においても、メモリチップ内で新たに演算回路を設けることなく、メモリセルMCn (n = 0, 1, ...) と同種の参照メモリセルRCn (n = 0, 1, ...) 及びそのワード線の駆動回路RXDとから構成される参照信号発生手段と、ワード線に演算ビット数分だけ並列接続されたXデコーダ(本実施例の場合並列接続した3つのXデコーダ)とを付加するのみでワード線単位で並列に論理演算を行うことができる。これにより、電力増大を最小限に抑えながら、演算速度を著しく増大させることができる。

【0044】<実施例3>図6を用いて、本発明に係る半導体記憶装置の第3の実施例を示す演算機能つきメモリについて説明する。図6は、演算モードを設定するための動作タイミングを示す図である。実施例1では参照ワード線につながる参照メモリの情報を一括して設定していたが、本実施例ではYアドレス毎に設定を可能にする場合の動作タイミングの一例を示す。なお、回路構成は図1の場合と同じ構成であるので省略するが、演算用参照ワード線の駆動回路RXDのSET信号ラインと出力VMAラインを省略した回路構成としても良い。ただし、後者の構成の場合には参照ワード線につながる参照メモリセルを一括して設定することができなくなる。また、この実施例でも、データ線対Dj、DjBの振幅が2V、ワード線W0、W1及び演算用参照ワード線RW1の振幅が3.5Vの場合について示しているが、これらの値に限るものではない。

【0045】まず、時刻t20において演算用参照ワード線RW1を高レベルにする。同時に、Yアドレス選択信号YSjを高レベルにし、入出力線対IO、IOBからデータ線対Dj、DjBへ書き込みを行う。t22からt23にかけて演算の種類に対応する演算制御情報、すなわち論理積ANDおよび論理和ORに対応した"1"、"0"情報を入出力線対IO、IOBからデータ線対Dj、DjBへ書き込む。そして、その後、t24において演算用参照ワード線RW1を低レベルにすることにより、演算制御情報が演算用参照メモリセルRC1に蓄積される。演算に際しては、先の実施例1と同様、t25からt28にかけてワード線W0、W1及び演算用参照ワード線RW1を高レベルに変化させ、電荷の和をデータ線対Dj、DjB上に出現させ、センスアンプSAjにより増幅する。

【0046】本実施例では、先の実施例1と異なり、演算モード設定信号SETを用いずに、データ線対から演算モードを設定するようにしている。このため、各デー

タ線対毎に演算モードを独立に設定できるという利点がある。また、この実施例に示すように、メモリセルへの情報の書き込みに連続して演算モードの設定を行うことにより、Yアドレス選択信号Y S jの変化する回数を減少することができ、より高速化、低電力化を図ることができる。なお、本実施例では、メモリセルへの情報の書き込みの後に、演算モードの設定のための参照メモリセルへの書き込みを行ったが、この書き込みの順序は入れ替えても差し支えない。

【0047】<実施例4>図7乃至図9を用いて、本発明に係る半導体記憶装置の第4の実施例を示す演算機能つきメモリについて説明する。図7は本実施例の演算機能つきメモリの構成図であり、図1の構成に加え、メモリセルアレーへの入出力線を読み出し用と書き込み用に二重化するとともに、Yアドレス選択信号およびYアドレス選択回路も読み出し用と書き込み用に二重化している。

【0048】図7において、参照符号MAL0~MALnおよびMAR0~MARnはメモリセルアレー、SA A0~SAAnはセンスアンプアレー、RYDは読み出し用Yデコーダ、WYDは書き込み用Yデコーダ、RYS jは読み出し用Yアドレス選択信号線、WYS jは書き込み用Yアドレス選択信号線、RYACは読み出し用Yアドレスカウンタ、WYACは書き込み用Yアドレスカウンタ、AREGはアドレスレジスタ、CLKはクロック信号、RASBは行アドレスストロブ信号、CASBは列アドレスストロブ信号、WEBは書き込みエネーブル信号、XDL0~XDLnおよびXDR0~XDRnはXデコーダ、XLL0~XLLnおよびXLR0~XLRnはXアドレスラッチ、RIOおよびRIOBは読み出し用入出力線、WIOおよびWIOBは書き込み用入出力線、IOS0~IOSnはIOSスイッチ、RCDLおよびRCDLBは読み出し用コモンデータ線、WCDLおよびWCDLBは書き込み用コモンデータ線、AMPは読み出し用のアンプ、DOBは出力バッファ、WBUFは書き込みバッファをそれぞれ示す。なお、図1で示した演算用参照ワード線RW0~RWn、演算用参照ワード線の駆動回路RXDは後述の図8に示し、図7では省略してある。また、参照符号RIOB、WIOB、RCDLB、WCDLBの英文字" B"は、それぞれ対になるRIO、WIO、RCDL、WCDLの否定の関係(相補の関係)を表わす。

【0049】ここで、メモリセルアレーおよびセンスアンプアレーのより詳細な構成を図8に示す。図8において、参照符号RIOG jは読み出し用ゲート、WIOG jは書き込み用ゲート、M20~M23はNMOSトランジスタ、SHLは左アレー選択信号、SHRは右アレー選択信号を示す。この例ではセンスアンプSA jの個数を低減するために、左右2つのメモリセルアレーMAL、MARで一つのセンスアンプアレーSAAを共有し

ている。通常のメモリ動作においては、左右いずれかの選択されたメモリセルアレーMALまたはMARとセンスアンプSA jをアレー選択信号SHLまたはSHRによって接続する。演算モードにおいては、アレー選択信号SHLとSHRの両方とも高レベルにし、データ線DL jとDR j、DL j BとDR j Bがそれぞれ接続された状態で動作させる。例えば、ワード線W0とW2、演算用参照ワード線RW0とRW2を高レベルにすることにより、図1の実施例と同様に、メモリセルMC0とMC2の演算結果を得ることができる。このような構成にすることにより、センスアンプSA jを挟む2つのセルアレーMAL、MAR間で演算を行うことができる。なお、参照符号DL j BとDR j Bの英文字" B"は、それぞれ対になるDL jとDR jの否定の関係(相補の関係)を表わす。

【0050】このように構成することにより、本実施例の演算機能つきメモリは、動画像のフレーム間の演算を効率的に行うことができる。図9は、この構成をもとにフレーム間演算処理を行ったときの動作の時間経過を示すタイミング図である。図9の四角の領域の中で、上側の記号はWが書き込み、OPが演算、Rが読み出し動作をそれぞれ示している。また、図9の四角の領域の中で、下側の記号は時間的に連続する2つのフレームAとBのいずれの処理を行うかを示しており、各フレームA、Bとも0~nの(n+1)個のサブフレームに分割している。これらは、そのままメモリの中でアクセスする場所に対応させており、例えばサブフレームA0~Anが左のアレー、サブフレームB0~Bnが右のアレー、AB0~ABnが左のアレーと右のアレーを同時にアクセスすることを示している。また、添字の0~nは図7に示した複数のセンスアンプアレーSAA0~SAAAnのどの場所をアクセスするかを示している。

【0051】時刻t30以前には、まず左アレー選択信号SHLによりメモリセルアレーMALとセンスアンプSA jを接続し、フレームAの情報をサブフレームA0~Anに対応したメモリアレーMAL0~MALnに書き込む。また、時刻t30以後は、右アレー選択信号SHRによりメモリセルアレーMARとセンスアンプSA jを接続し、次のフレームBの情報をサブフレームB0~Bnに対応したメモリアレーMAR0~MARnに書き込む。これと並行して、例えば時刻t31でサブフレームA0とB0の情報がそろったところで、アレー選択信号SHL、SHRを共に高レベルにし、データ線DL jとDR j、DL j BとDR j Bがそれぞれ接続された状態にして演算モードに切り換え、メモリセルアレーMAL0とメモリセルアレーMAR0のワード線及び演算用参照ワード線を高レベルにすることにより、サブフレームA0とB0間の演算処理が行われる。また、時刻t32でサブフレームA0とB0間の演算処理が終了したところで、読み出し用Yアドレス選択信号線RYS



jを高レベルにして、読み出し用入出力線RIO、RIOBから演算結果を読み出すと同時に、次のサブフレームA1とB1の演算処理を同じようにして行う。以下、この動作を繰り返すことによって動画像のフレーム間の演算を行うことができる。

【0052】このように、本実施例によれば、メモリセルアレーが異なることにより、書き込み、読み出しおよび演算の各動作を並列に実行する、いわゆるパイプライン処理を行うことが可能となる。したがって、本実施例の構成は、動画像処理のように、間断無くデータの出入力を伴うような処理に適している。

【0053】＜実施例5＞図10を用いて、本発明に係る半導体記憶装置の第5の実施例を示すコピー機能つきメモリについて説明する。図10は、実施例4で示した図7の構成とほぼ同じであるが、メモリ内のコピー処理に適するようにするために、以下の3つの点で実施例4の構成と相違する。

【0054】(1)読み出し用入出力線RIO、RIOBと、読み出し用コモンデータ線RCDL、RCDLBとの間に読み出し用のブリアンプAP0、AP1を設けたこと、(2)書き込み用入出力線WIO、WIOBを駆動するための書き込み用のポストバッファWB0、WB1を設けたこと、および(3)書き込み用ポストバッファWB0、WB1を、書き込み用コモンデータ線WC DL、WC DLBから読み出し用コモンデータ線RC DL、RC DLBへのいずれかに接続するための切り替えスイッチWSL0、WSL1を設けたことである。

【0055】ここで、読み出し用のブリアンプAP0、AP1は、読み出し用入出力線RIO、RIOBの信号を電源電圧まで増幅し、読み出し用コモンデータ線RC DL、RC DLBを高速に駆動する能力を有する。また、切り替えスイッチWSL0、WSL1は、通常のコピー動作においては、書き込み用ポストバッファWB0、WB1を書き込み用コモンデータ線WC DL、WC DLBに接続するように設定されていて、データ入力端子DINから書き込みバッファWBUFを介して入力された外部からの書き込み情報を、書き込み用コモンデータ線WC DL、WC DLBを介して書き込み用ポストバッファWIO、WIOBに伝えるように働く。一方、メモリのコピー動作を行う場合には、切り替えスイッチWSL0、WSL1はコピー先の書き込み用ポストバッファWB0、WB1を、読み出し用コモンデータ線RC DL、RC DLBに接続するように働く。

【0056】以下、このように構成された本実施例のコピー機能つきメモリのコピー動作を、メモリセルアレーMAL0がコピー元、メモリセルアレーMAL1がコピー先の場合を例にして説明する。なお、図10に示されていない構成要素は、図8の構成要素と同様であるので図8に示した参照符号を用いる。

【0057】まず、コピー時の動作を、図11に示す動

作タイミング図を用いて説明する。この例では、コピー動作の設定は、通常の読み出し／書き込み動作のときには用いない信号の組合わせにより行なっている。すなわちアドレスレジスタAREGに入力される行アドレスストロブ信号RASB信号が低レベルに変化する時点t0における列アドレスストロブ信号CASBおよび書き込みエネーブル信号WEBを共に低レベルにし、なおかつ、そのときのアドレス信号Aiの組合わせにより、コピー元アドレス設定モードにする。このときのアドレスは読み出し用YアドレスカウンタRYACにセットされる。また、次のt1においてコピー先アドレスを設定し、そのアドレスを書き込み用YアドレスカウンタWYACにセットする。この後、t2～t5においてクロック信号CLKに同期して読み出し用YアドレスカウンタRYACと書き込み用YアドレスカウンタWYACを順次カウントアップしながらコピー動作を行う。

【0058】この例では、コピー元アドレス、およびコピー先アドレスを各々1サイクルで設定しているが、アドレス信号が足りない場合には、各々2サイクルで行ってもよい。また、最初のサイクルでコピー動作モードを設定した後、次の2サイクルでコピー元アドレスとコピー先アドレスの設定を行ってもよい。また、通常の読み出し／書き込み動作で用いないこれら以外の信号の組合わせによって、コピー動作モード或いは、コピー元アドレスやコピー先アドレスの設定をしてもよい。

【0059】さらに、図10を用いてコピー動作を説明する。まず、センスアンプアレーSAA0の左アレー選択信号SHLを高レベルにしてメモリセルアレーMAL0のデータ線対DLj、DLjBをセンスアンプSAjに接続し、読み出し用Yアドレス選択信号線RYSjを高レベルにして読み出し用ゲートRIOGj(Xで示す)を選択して導通状態にし、メモリセルアレーMAL0内の○印で示したメモリセルの情報を、読み出し用入出力線RIO、RIOG上に載せる。読み出し用入出力線RIO、RIOGは、読み出し用のブリアンプAP0を介して読み出し用コモンデータ線RC DL、RC DLBに接続されている。従って、メモリセルアレーMAL0内の○印で示したメモリセルの情報は読み出し用コモンデータ線RC DL、RC DLB上に現われる。

【0060】一方、コピー動作を行うために切り替えスイッチWSL1は、書き込み用ポストバッファWB1を読み出し用コモンデータ線RC DL、RC DLBに接続するように働く。従って、センスアンプアレーSAA1の書き込み用入出力線WIO1、WIOB1は、書き込み用ポストバッファWB1および切り替えスイッチWSL1を介して読み出し用コモンデータ線RC DL、RC DLBに接続される。このとき、書き込み用Yアドレス選択信号線WYSkを高レベルにして書き込み用ゲートWIOGk(X印で示す)を導通状態にすると共に、センスアンプアレーSAA1の左アレー選択信号SHLを

高レベルにしてメモリセルアレーMAL1のデータ線対DLj、DLjBを書き込み用入出力線WIO1、WIOB1に接続する。これにより、読み出し用コモンデータ線RCDL、RCDLB上のメモリセルアレーMAL0内の○印で示したメモリセルの情報は、メモリセルアレーMAL1内の○印で示したメモリセル上へ書き込むことができる。

【0061】このようにして、メモリセルアレーMAL0から読み出されたデータは読み出し入出力線RIO→読み出しコモンデータ線RCDL→書き込み入出力線WIO1の経路でメモリセルアレーMAL1に書き込まれる。なお、非選択のメモリセルアレーについては、読み出し入出力線RIOおよび書き込み入出力線WIOの電圧はデータ線のプリチャージレベル、例えば電源電圧の中間値に設定しておけば、その非選択のメモリセルアレーの入出力ゲートが導通しても不要な直流電流が流れることはない。また、コピー元のセンスアンプアレーの書き込み入出力線WIOは読み出し入出力線RIOと同じ条件に設定しておけば、書き込み用Yアドレス選択信号線WYSkによって導通する入出力ゲートを介してセンスアンプの情報が反転することはない。以上により、通常のメモリの読み出しや書き込み動作と同等の安定性を確保したままメモリチップ内でコピー動作を行うことができる。

【0062】また、コピー動作の場合には一方のメモリセルアレーが書き込み、他方が読み出しの動作を行うが、本実施例の構成によれば、両方とも書き込み動作を行わせることも可能である。その場合には、切り替えスイッチWSL0及びWSL1を書き込み用コモンデータ線WCDL、WCDLBに接続できるようにしておけば良い。

【0063】さらには、Yアドレス選択信号線、Yデコーダ、入出力線などを三重化することにより、コピー動作と並行して外部から別のメモリセルアレーへの読み出しや書き込み動作を行うようにすることも可能である。

【0064】本実施例のように、メモリがコピー機能を内蔵することにより、従来のようにプロセッサがメモリのコピー元からデータを読み出した後、コピー先に書き込むといった動作を繰返し行う必要がなくなり、データの移動がメモリ内で閉じるため、同じ処理を従来に比べて高速かつ低電力で行うことができる。

【0065】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されことなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【0066】

【発明の効果】前述した実施例から明らかなように、本発明に係る半導体記憶装置によれば、ワード線によって選択された複数のメモリセルから読み出された信号電荷の和を、演算用参照メモリセルからの電荷と比較すると

同時に、複数のメモリセルの情報の論理演算をメモリ外部に情報を読み出すことなく行うことができる。

【0067】また、メモリブロック間のデータ群のコピーをメモリ外部にデータを読み出すことなくメモリ内部で行うことができる。

【0068】従って、プロセッサの介在なしに、すなわち、グラフィックス・プロセッサとメモリとの間でデータの読み書きをせずに、プロセッサから命令とコピーのための情報をメモリに送るだけで、メモリ内部において演算処理やデータのコピー処理を高速かつ低電力に行うことが可能となり、システムの実効的な処理性能が向上する。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置の第1の実施例を示す演算機能つきメモリの構成図である。

【図2】図1に示した演算機能つきメモリで使用する演算用参照メモリセルとその参照ワード線の駆動回路の構成図である。

【図3】図1に示した演算機能つきメモリのデータ線電圧の変化を示す図である。

【図4】図1に示した演算機能つきメモリの動作タイミングの一例を示すタイミング図である。

【図5】本発明に係る半導体記憶装置の第2の実施例の演算機能つきメモリのデータ線電圧の変化を示す図である。

【図6】本発明に係る半導体記憶装置の第3の実施例の演算機能つきメモリの動作タイミングの一例を示すタイミング図である。

【図7】本発明に係る半導体記憶装置の第4の実施例の演算機能つきメモリを示す構成図である。

【図8】図7に示した演算機能つきメモリのメモリセルアレーおよびセンスアンプアレーの構成図である。

【図9】図7に示した演算機能つきメモリの画像フレーム間の演算処理の一例を示すタイミング図である。

【図10】本発明に係る半導体記憶装置の第5の実施例を示すコピー機能つきメモリの構成図である。

【図11】図10に示したコピー機能つきメモリの動作タイミングの一例を示すタイミング図である。

【符号の説明】

MA…メモリセルアレー

MC0、MC1…メモリセル

RC0、RC1…演算用参照メモリセル

RW0、RW1…演算用参照ワード線

Dj…データ線

SAA…センスアンプアレー

SAj…センスアンプ

IOG…IOゲート

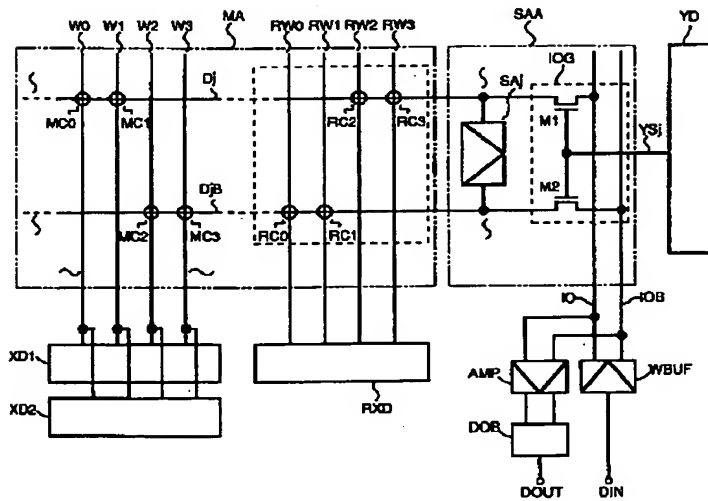
XD…Xデコーダ

RXD…参照ワード線駆動回路

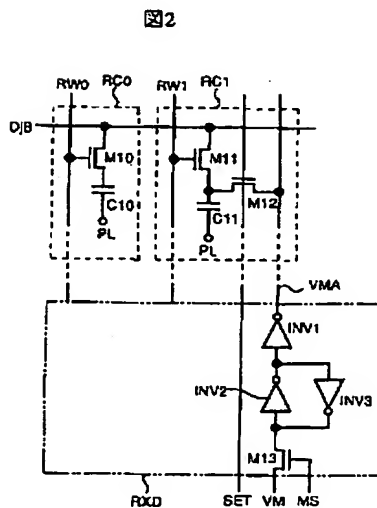
YD…Yデコーダ

AMP…読み出し用アンプ  
 DOB…出力バッファ  
 XLL0~XLLn、XLR0~XLRn…Xアドレスラッチ  
 WBUF…書き込みバッファ  
 RYD…読み出し用Yデコーダ  
 WYD…書き込み用Yデコーダ  
 RYAC…読み出し用Yアドレスカウンタ  
 WYAC…書き込み用Yアドレスカウンタ  
 IOS0~IOSn…IOスイッチ  
 RIOG…読み出し用IOゲート

【図1】

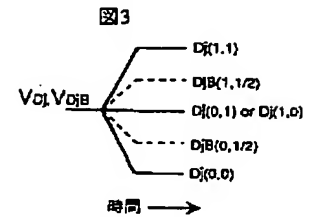


【図2】

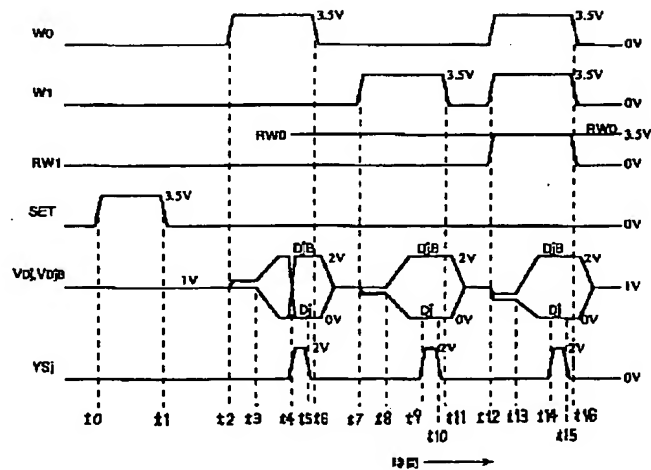


\*WIOG…書き込み用IOゲート  
 AP0、AP1…読み出し用ブリアンプ  
 WB0、WB1…書き込み用ポストバッファ  
 WSL0、WSL1…切り替えスイッチ  
 SHL…左アレー選択信号  
 SHR…右アレー選択信号  
 AREG…アドレスレジスタ  
 CLK…クロック信号  
 CASB…列アドレスストロブ信号  
 RASB…行アドレスストロブ信号  
 \* WEB…書き込みエネーブル信号

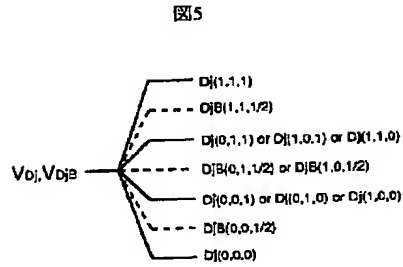
【図3】



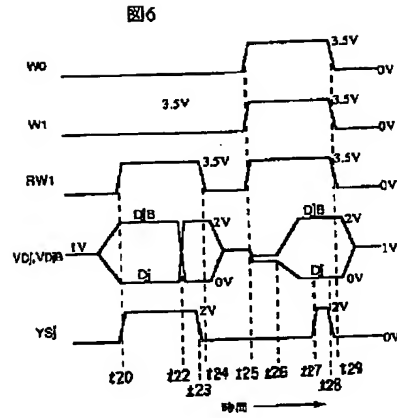
【図4】



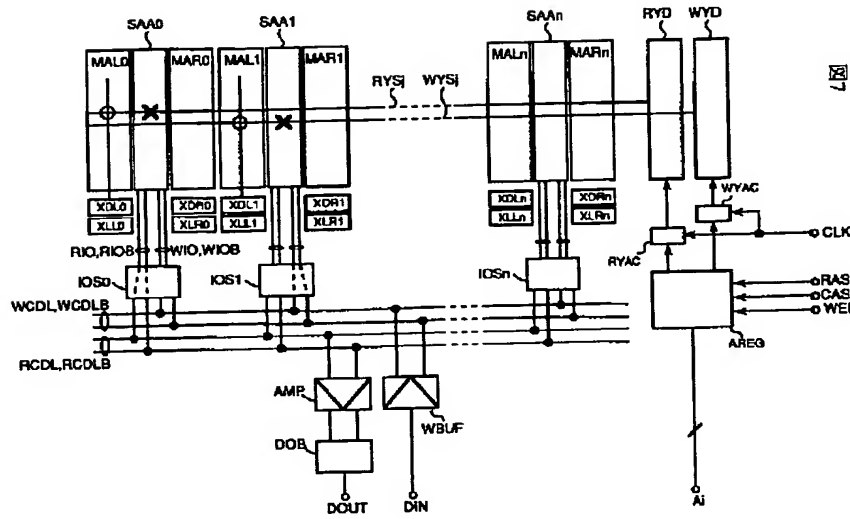
【図5】



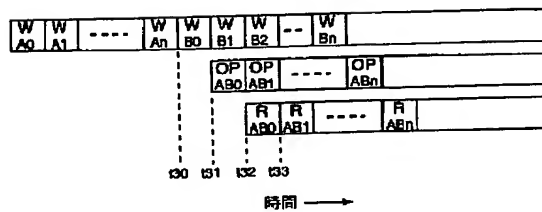
【図6】



【図7】



【図9】



【図8】

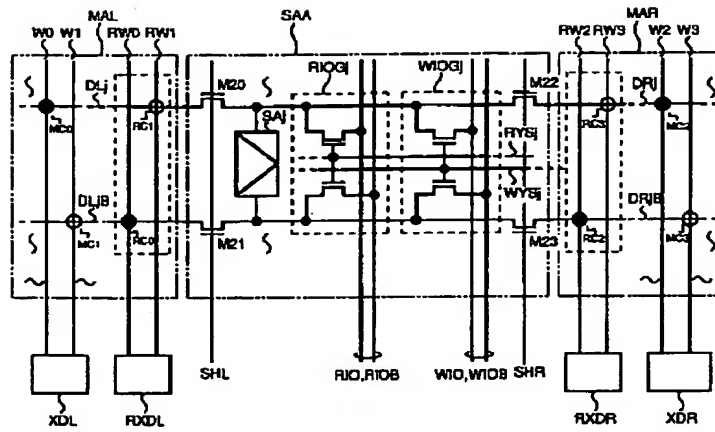


図8

【図10】

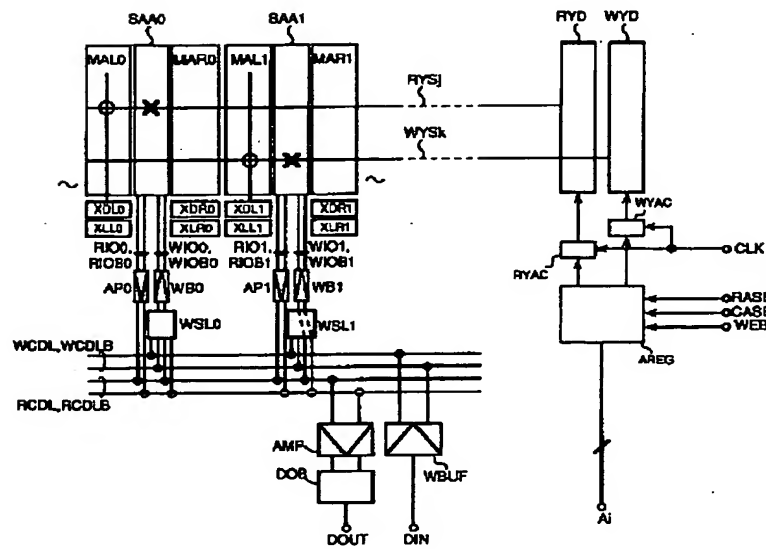


図10

(14)

特開平8-31168

【図11】

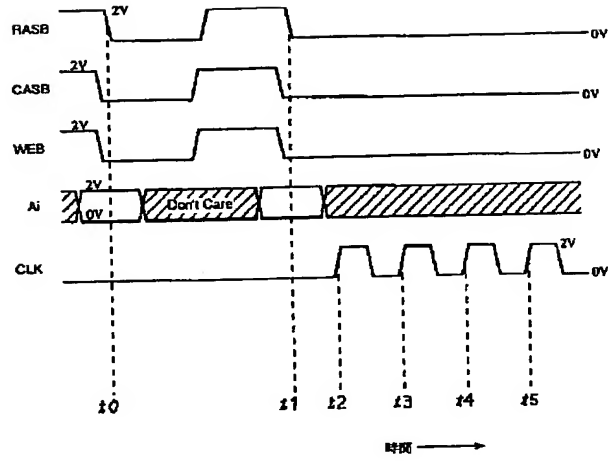


図11